



第7章 输入输出(I/O)系统

7.1 输入输出(I/O)系统概述

7.2 状态驱动输入输出方式

7.3 中断输入输出方式

7.4 DMA输入输出方式

7.5 通道控制方式和外围处理机方式



百年同濟
TONGJI UNIVERSITY

主要知识点

- 掌握输入输出(I/O)系统的特点及编址
- 掌握状态驱动输入输出方式工作原理
- 掌握中断输入输出方式工作原理
- 掌握DMA输入输出方式工作原理
- 了解通道控制方式和外围处理机方式工作原理

7.1 输入输出(I/O)系统概述

输入输出系统包括外部设备及设备控制器。

- 外部设备

输入输出设备和辅助存储器

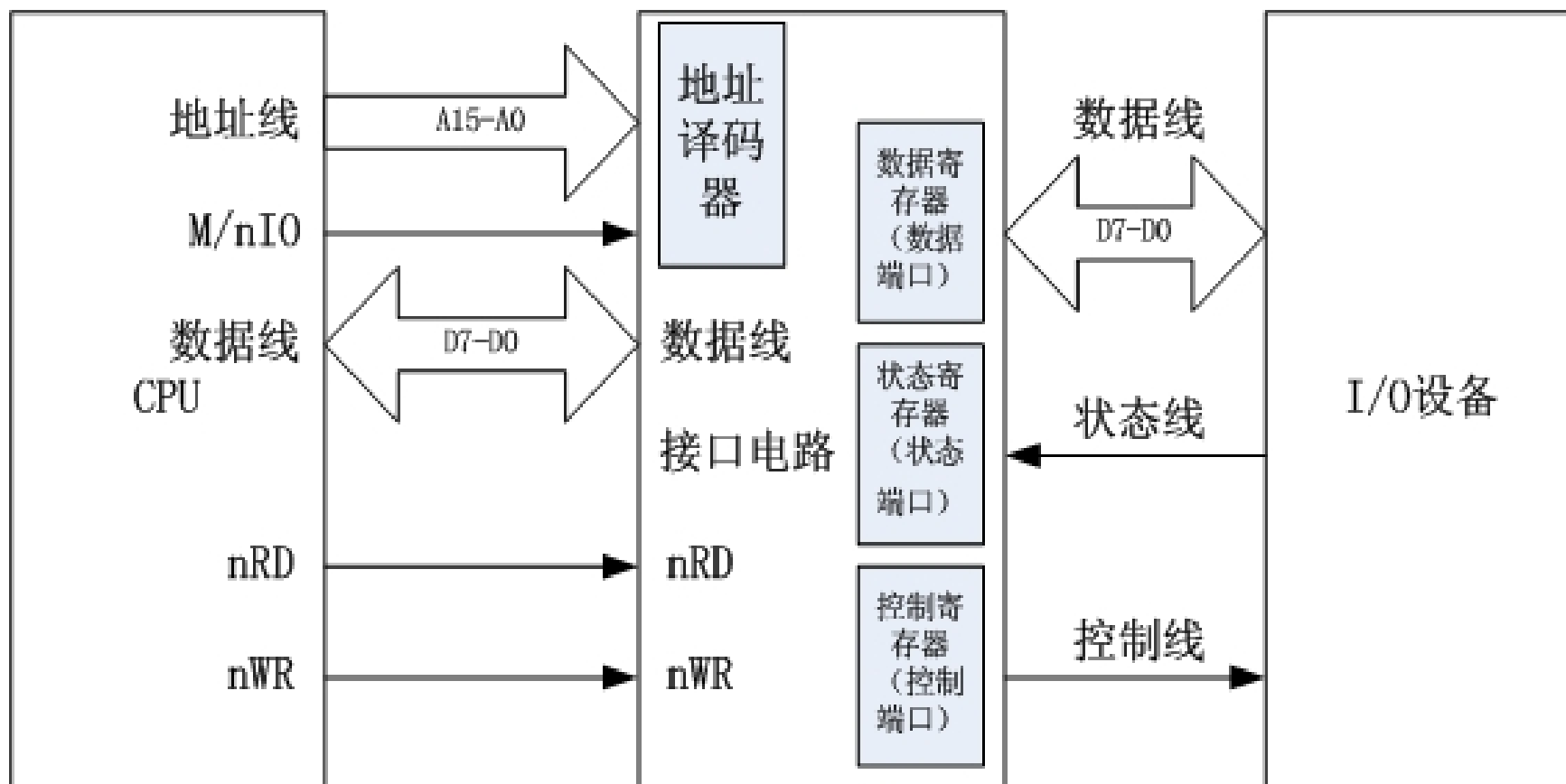
- 设备控制器

外部设备与主机(CPU和存储器)之间的控制部件，有时也称为设备适配器或接口。其作用是控制并实现主机与外部设备之间的数据传送。如磁盘控制器、打印机控制器等。



百年同济
TONGJI UNIVERSITY

7.1 输入输出 (I/O) 系统概述



CPU与I/O设备接口



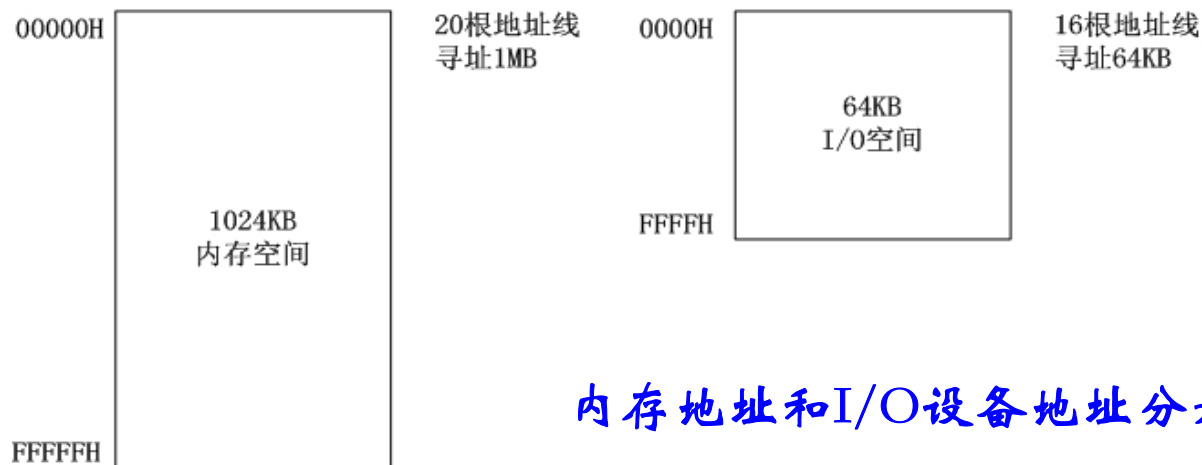
百年同济
TONGJI UNIVERSITY

7.1 输入输出(I/O)系统概述

7.1.1 输入输出设备的编址

为了CPU便于对I/O设备进行寻址和选择，必须给众多的I/O设备进行编址，称为设备号或设备代码。

(1) 独立编址



内存地址和I/O设备地址分开编址



7.1 输入输出(I/O)系统概述

7.1.1 输入输出设备的编址

优点:

1. CPU对外设的操作要通过专用的I/O指令。
2. 程序易读。
3. 不占用内存空间。

缺点:

1. 编程灵活性差。
2. 需要专用的I/O指令。



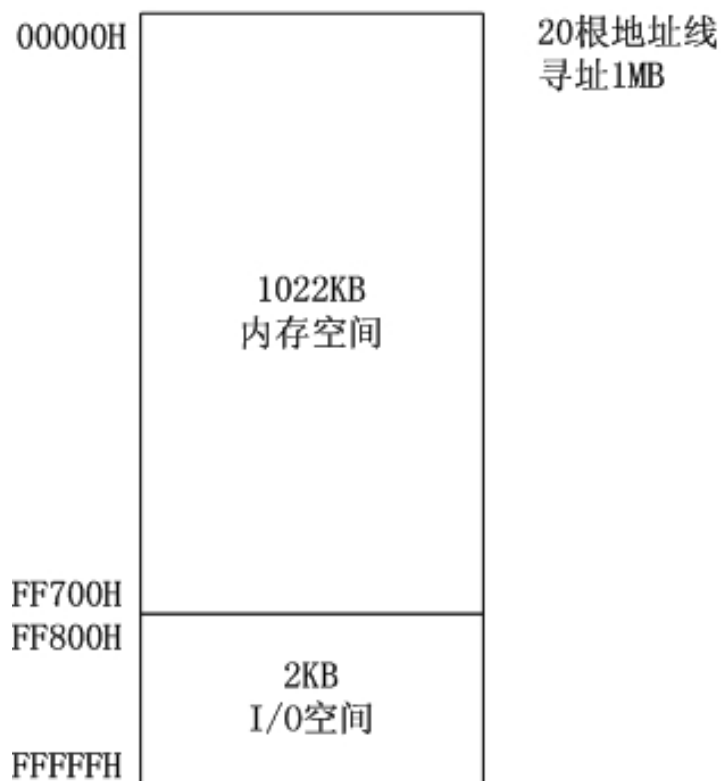
百年同济
TONGJI UNIVERSITY

7.1 输入输出(I/O)系统概述

7.1.1 输入输出设备的编址

(2) 统一编址

I/O外设的地址与内存统一编址





百年同濟
TONGJI UNIVERSITY

7.1 输入输出(I/O)系统概述

7.1.1 输入输出设备的编址

优点:

1. CPU对外设的操作可使用全部的存储器操作指令，故指令多，使用方便。
2. 内存和外设的地址分布图是同一个。
3. 不需要专门的输入输出指令以及区分是存储器还是I/O操作的控制信号。

缺点:

1. 外设占用了内存单元，使内存容量减小。
2. 程序不易读。



百年同济
TONGJI UNIVERSITY

7.1 输入输出(I/O)系统概述

7.1.1 输入输出设备的编址

X86微处理器采用独立编址，设置有专门的I/O指令，设备的编址可达64KB，部分设备的地址码如下表所示。

输入输出设备	占用地址数	地址码(16进制)
硬盘控制器	5	320~324H
软盘控制器	8	3F0~3F7H
单色显示器	8	3B0~3B7H
彩色图形显示器	16	3D0~3DFH
异步通信控制器	16	2F8~2FFH 3F8~3FFH
并行打印机	16	278~27AH 378~37AH
键盘	16	060~06FH



百年同濟
TONGJI UNIVERSITY

7.1 输入输出(I/O)系统概述

7.1.2 输入输出系统特点

- (1) 输入输出的异步性
- (2) 输入输出的实时性
- (3) 输入输出与设备的无关性

输入输出组织的基本原则

异步性—体现输入输出系统对CPU的相对独立性。

实时性—反映按照不同设备响应时间的要求，划分和实现输入输出系统内部不同的功能之间的关系。

与设备无关性—反映输入输出系统标准化接口与非标准外围设备之间的关系。



百年同濟
TONGJI UNIVERSITY

7.1 输入输出(I/O)系统概述

7.1.2 输入输出系统特点

针对异步性，采用输入输出组织的自治控制。
针对实时性，采用输入输出组织的分类处理。
针对无关性，采用输入输出组织的层次结构。



百年同濟
TONGJI UNIVERSITY

7.1 输入输出(I/O)系统概述

7.1.3 I/O设备数据传送控制方式

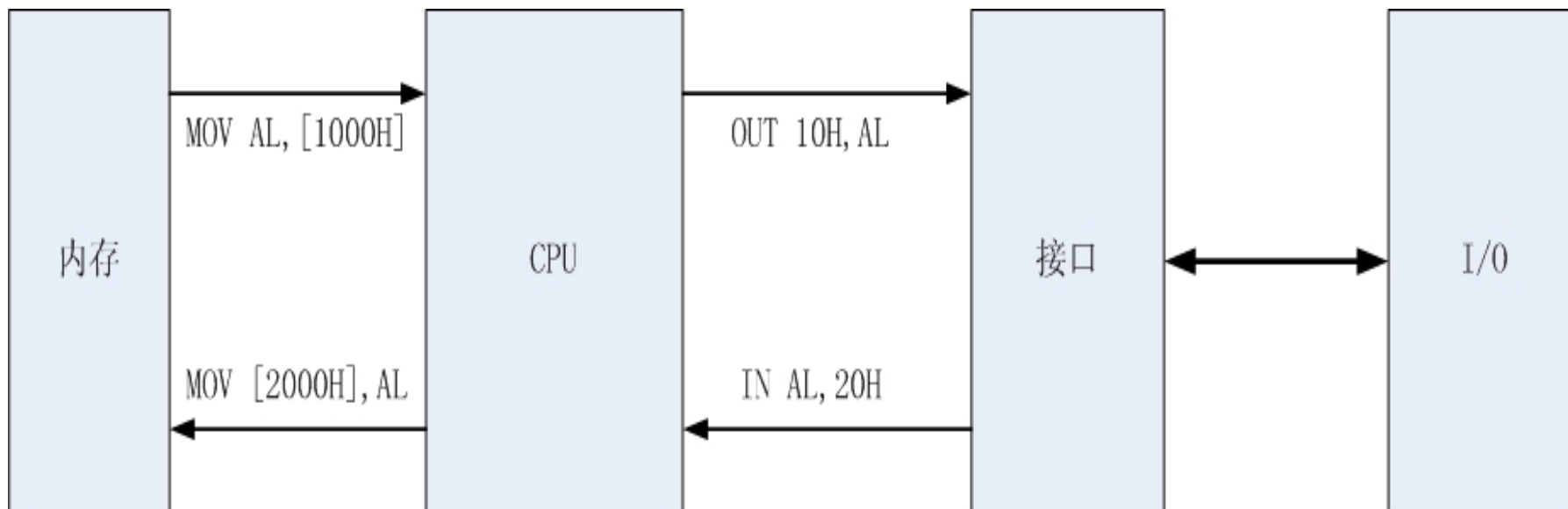
1. 程序直接控制方式 (程序状态驱动方式)
2. 程序中断传送方式
3. 直接存储器存取方式
4. I/O通道控制方式
5. 外围处理机方式



百年同濟
TONGJI UNIVERSITY

7.2 程序直接控制方式输入输出

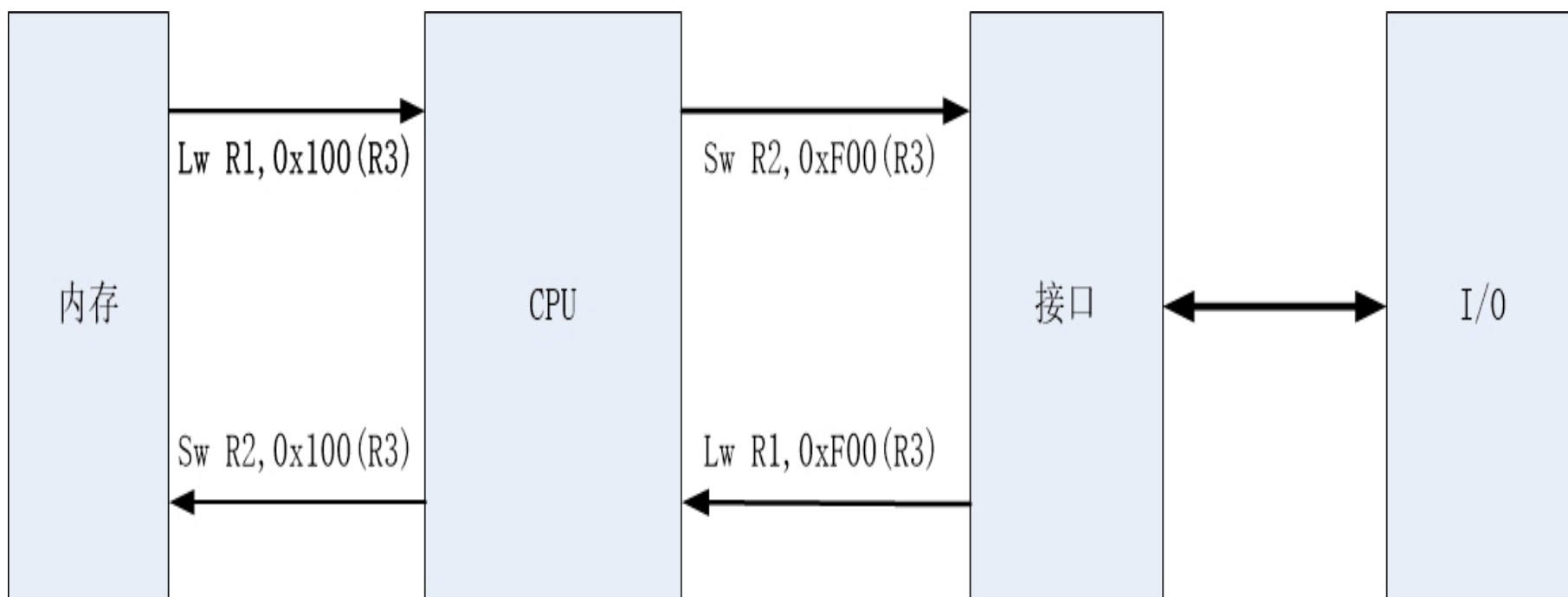
7.2.1 程序直接控制输入输出过程





百年同濟
TONGJI UNIVERSITY

7.2 程序直接控制方式输入输出





百年同濟
TONGJI UNIVERSITY

7.2 程序直接控制方式输入输出

7.2.1 程序直接控制输入输出过程

1. 无条件传送

就是在执行输入输出指令时，不需查询外设的状态，强行执行输入输出指令。

这种方法一般用在比较简单的外设（如开关量的输入输出，LED显示输出）



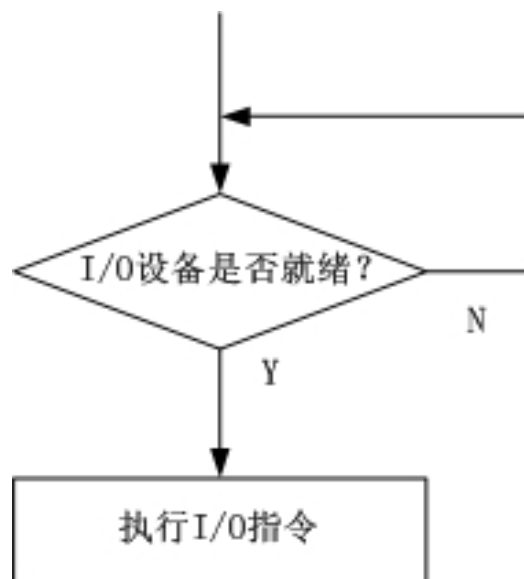
百年同濟
TONGJI UNIVERSITY

7.2 程序直接控制方式输入输出

7.2.1 程序直接控制输入输出过程

2.条件传送

就是在执行输入输出指令前，先查询外设的状态，在设备就绪的状态下，执行输入输出指令。





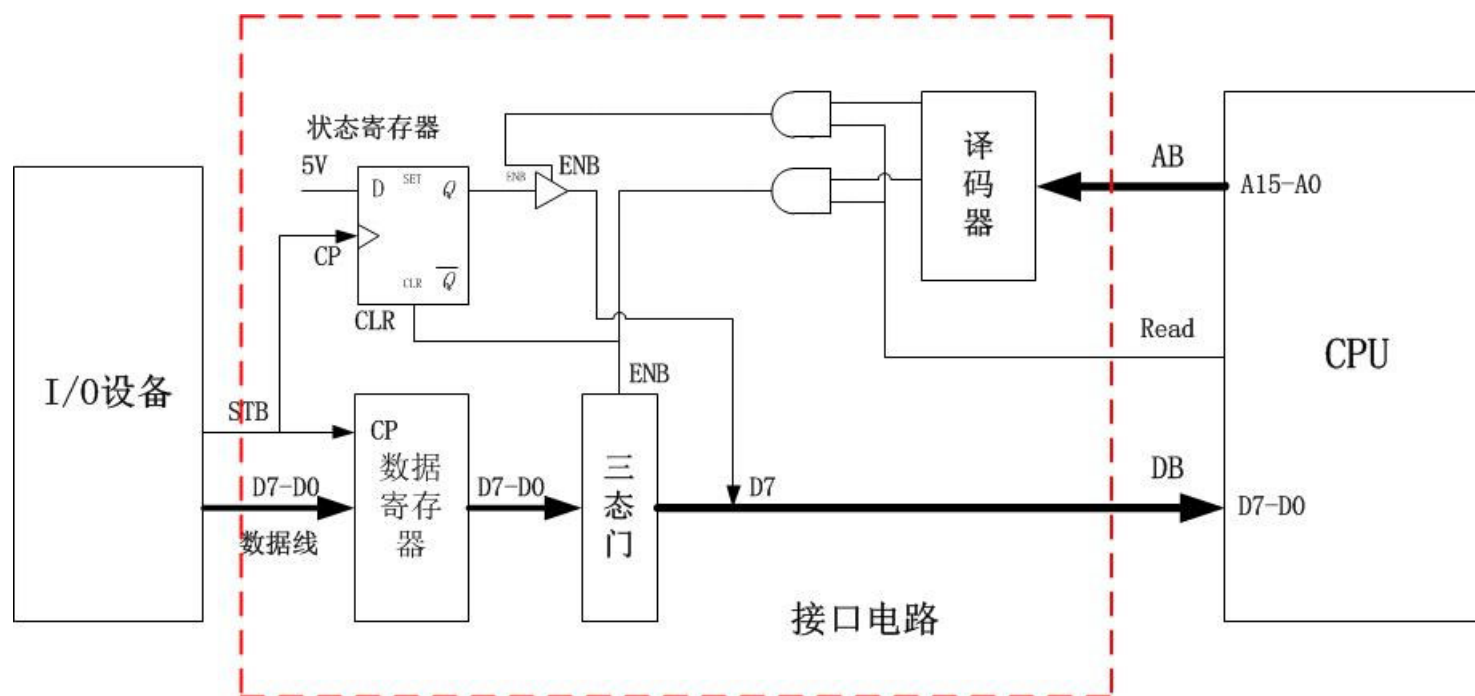
百年同濟
TONGJI UNIVERSITY

7.2.2

7.2 程序直接控制方式输入输出

程序直接控制输入输出实现

查询间隔不能大于数据准备时间



准备数据时间=缓冲数据量/外设传输速率



百年同濟
TONGJI UNIVERSITY

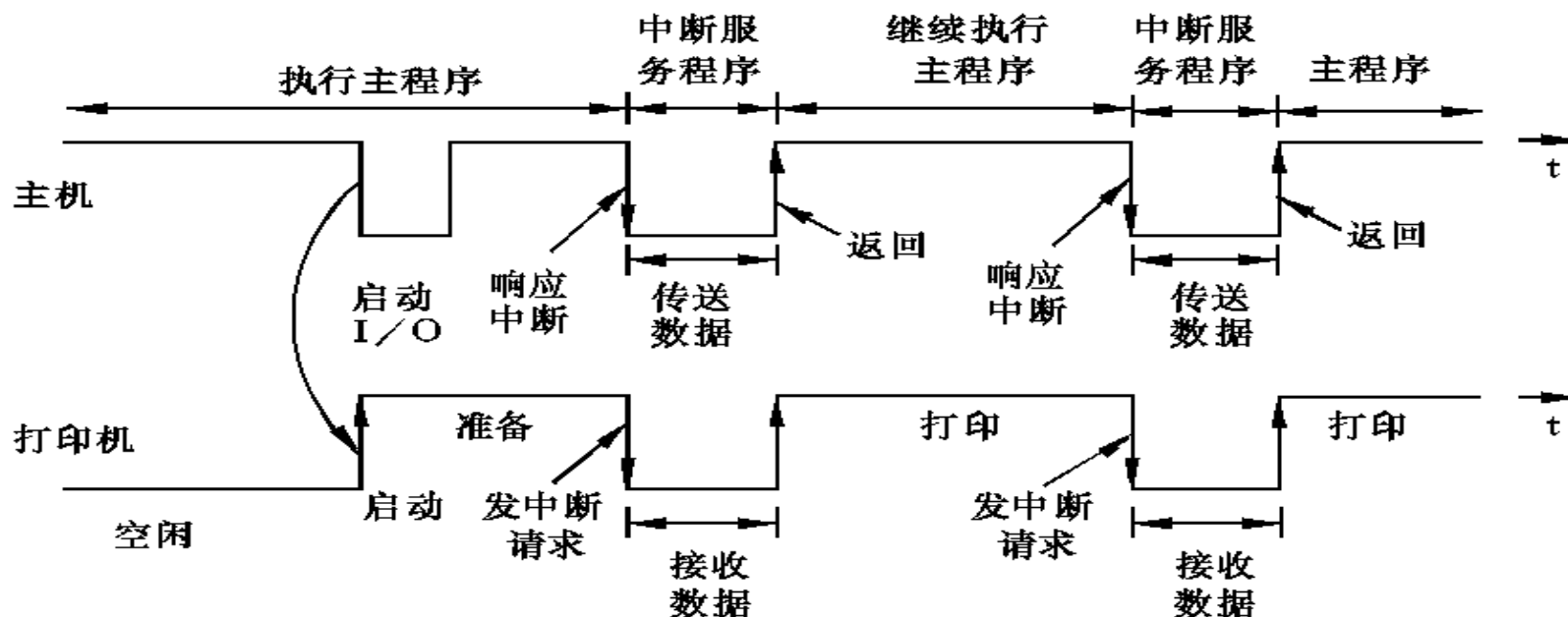
7.3 程序中斷輸入輸出方式

7.3.1 中斷的作用、產生和響應

1. 中斷的作用

準備數據的時間不能小於中斷響應和中斷處理的時間

(1) CPU與I/O設備並行工作



CPU和I/O設備(針式打印機)並行工作的時間安排



7.3 程序中中断输入输出方式

7.3.1 中断的作用、产生和响应

(2) 硬件故障处理

计算机运行时，如硬件出现某些故障，机器中断系统发出中断请求，CPU响应中断后自动进行处理。

(3) 实现人机联系

在计算机工作过程中，如果用户要干预机器，如抽查计算中间结果，了解机器的工作状态，给机器下达临时性的命令等。在没有中断系统的机器里这些功能几乎是无法实现的。



百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式

7.3.1 中斷的作用、產生和響應

(4) 實現多道程序和分时操作

計算機實現多道程序運行是提高機器效率的有效手段。多道程序的切換運行需借助於中斷系統。

- 在一道程序的運行中，由I/O中斷系統切換到另外一道程序運行。
- 也可以通過分配每道程序一個固定時間片，利用時鐘定時發中斷進行程序切換。

(5) 實現實時處理

某個事件或現象出現時及時地進行處理，這些事件出現的時刻是隨機的，而不是程序本身所能預見的，因此，要求計算機中斷正在執行的程序，轉而去執行中斷服務程序。



7.3 程序中中断输入输出方式

7.3.1 中断的作用、产生和响应

(6) 实现应用程序和操作系统(管态程序)的联系

可以在用户程序中安排一条“INT n”指令进入操作系统，称之为“软中断”。其中断处理过程与其他中断类似。

(7) 多处理机系统各处理机间的联系

在多处理机系统中，处理机和处理机之间的信息交流和任务切换可以通过中断来实现。



7.3 程序中中断输入输出方式

7.3.1 中断的作用、产生和响应

2. 有关中断的产生和响应的概念

(1) 中断源

引起中断的事件，即发出中断请求的来源，称为中断源。

① 中断源的种类

- I/O设备、定时钟等来自处理机外部设备的中断，又叫**外中断**。
- 处理器硬件故障或程序“出错”引起的中断，又叫**内中断**。
- 由Trap指令产生的**软中断**，这是在程序中预先安排好的。而前面两种中断则是随机发生的。



7.3 程序中断输入输出方式

7.3.1 中断的作用、产生和响应

② 中断触发器

- 当中断源发生引起中断的事件时，先将它保存在设备控制器的“中断触发器”中，即将“中断触发器”置“1”。
- 当中断触发器为“1”时，向CPU发出“中断请求”信号。每个中断源有一个中断触发器。
- 全机的多个中断触发器构成中断寄存器。CPU进行中断处理时，根据中断字确定中断源，转入相应的服务程序。



百年同济
TONGJI UNIVERSITY

7.3 程序中中断输入输出方式

7.3.1 中断的作用、产生和响应

(2) 中断的分级与中断优先权

- 在设计中断系统时，要把全部中断源按中断性质和处理的轻重缓急进行排队并给予优先权。
- 设备中断优先级的设定一般考虑以下几个因素：
 - (1) 中断的紧迫性
 - (2) 设备的工作速度
 - (3) 数据恢复的难易性
 - (4) 要求CPU提供的服务量



百年同济
TONGJI UNIVERSITY

7.3 程序中中断输入输出方式

7.3.1 中断的作用、产生和响应

(3) 禁止中断和中断屏蔽

① 禁止中断

- 一般在CPU内部设有一个“中断允许”触发器。只有该触发器为“1”状态时，才允许处理机响应中断，否则禁止中断。
- “中断允许”触发器通过“开中断”或“关中断”指令来置位、复位。进入中断服务程序后自动“关中断”。



百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式

7.3.1 中斷的作用、產生和響應

② 中斷屏蔽

- 为每个中斷源設置一个中斷屏蔽觸發器來屏蔽該設備的中斷請求。
- 当產生中斷請求后，用程序方法將該觸發器置“1”，則對應的設備中斷被封锁，若將其置“0”，才允許該設備的中斷請求得到響應。
- 有些中斷請求是不可屏蔽的，称为非屏蔽中斷，這些中斷請求一旦提出，CPU必須立即響應。

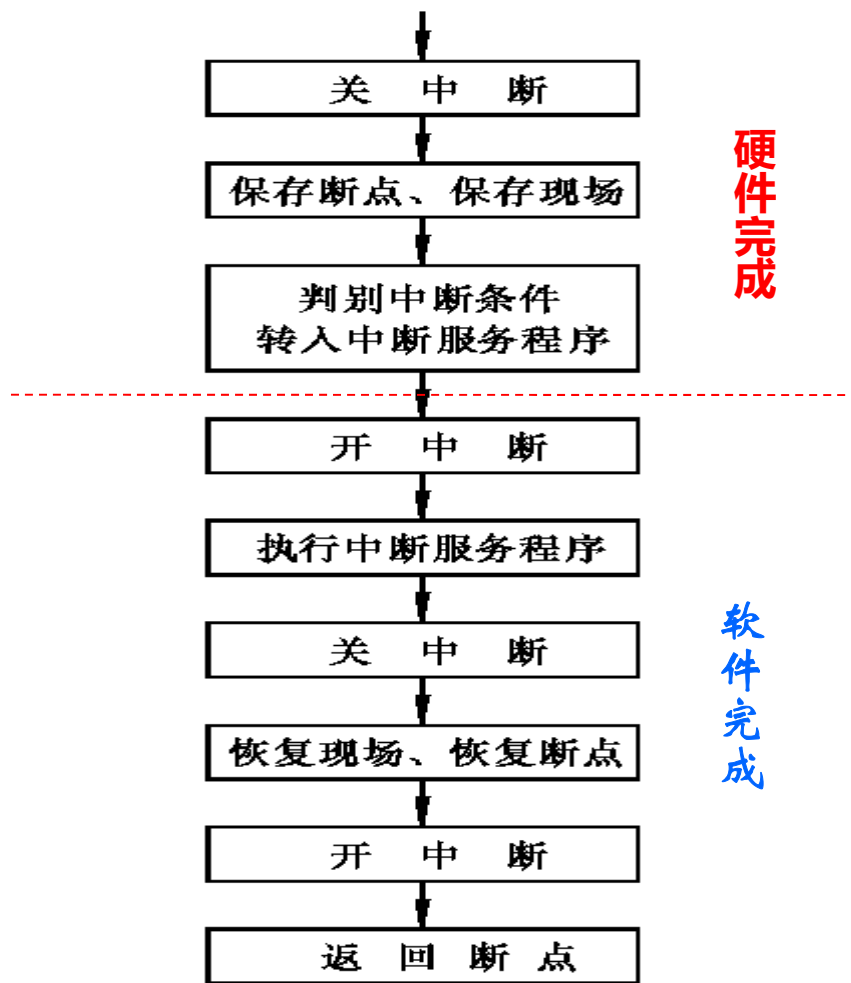


百年同济
TONGJI UNIVERSITY

7.3 程序中中断输入输出方式

7.3.2 中断处理

1. 中断处理过程





7.3 程序中中断输入输出方式

7.3.2 中断处理

CPU响应中断的条件:

- (1) 中断请求有效;**
- (2) 当前指令执行完;**
- (3) CPU处于开中断状态;**

影响中断响应时间的因素有:

- (1) 长指令的执行;**
- (2) 从关中断到开中断经历的时间间隔;**
- (3) 多中断源同时请求中断的冲突分解和判断时间;**



百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式

7.3.2 中斷處理

2. 判別中斷源

可以有軟件和硬件兩種方法來確定中斷源。

(1) 查詢法

由測試程序按一定優先排隊次序檢查各個設備的“中斷觸發器”(或稱為中斷標志)，當遇到第一個“1”標志時，即找到了優先進行處理的中斷源，通常取出其設備碼，根據設備碼轉入相應的中斷服務程序。

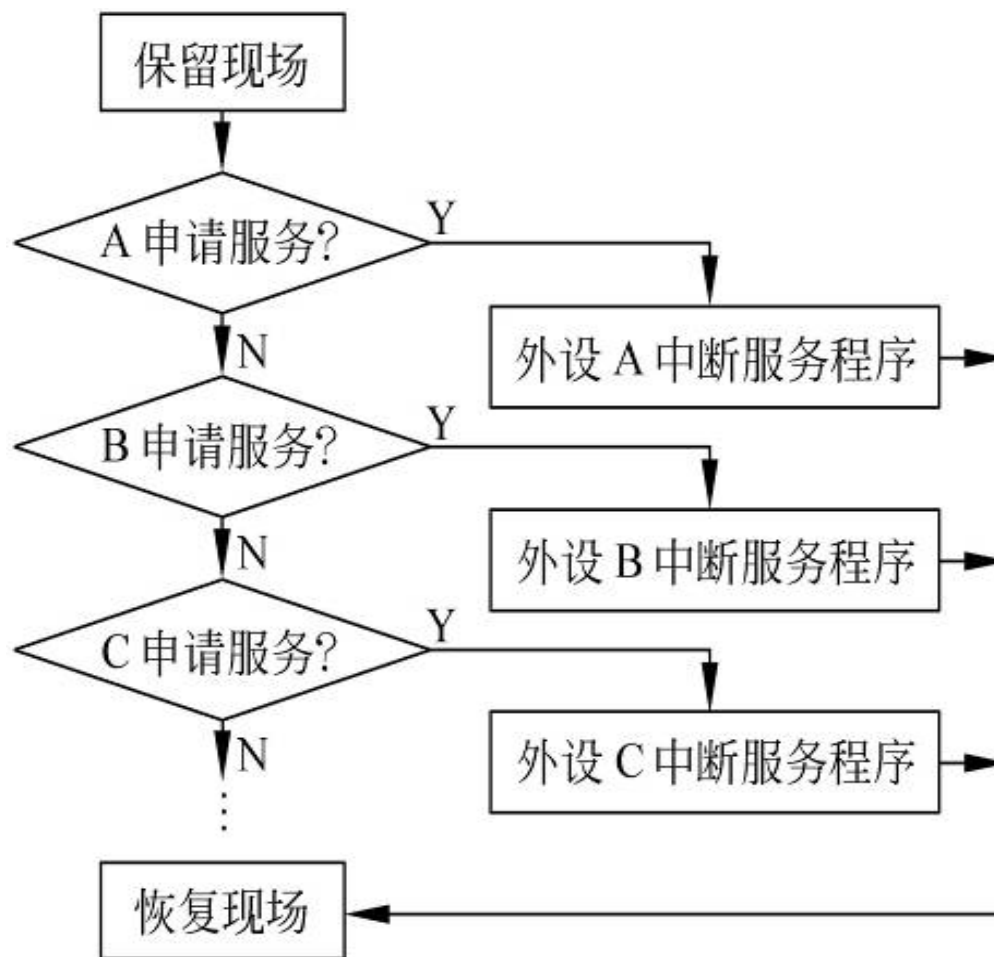
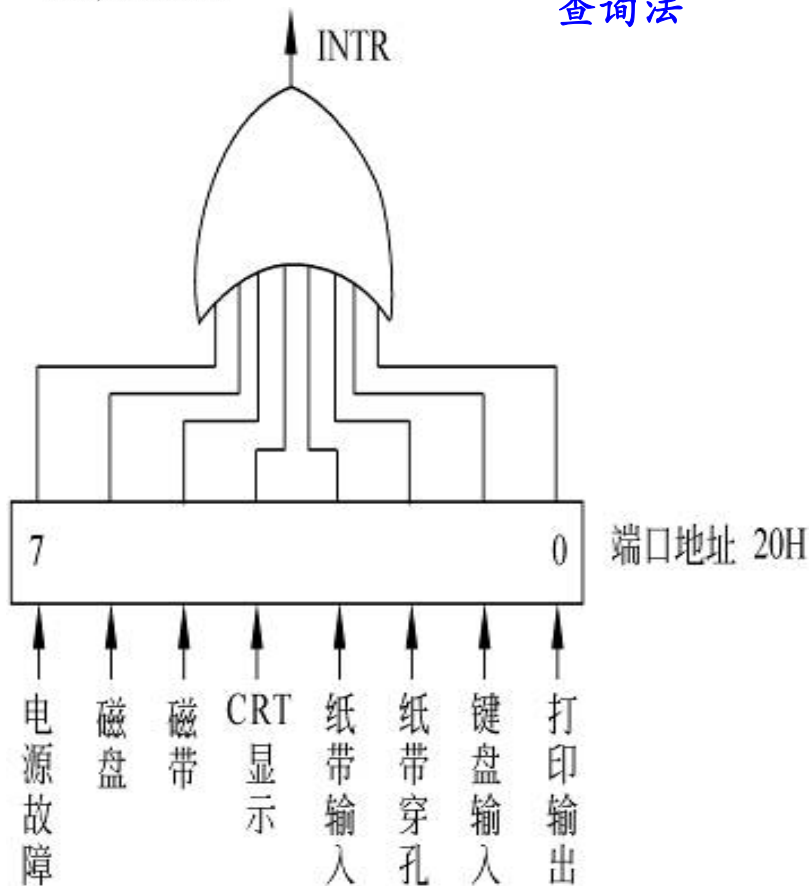
(2) 串行排隊鏈法

由硬件串行排隊判優先線路確定中斷源。



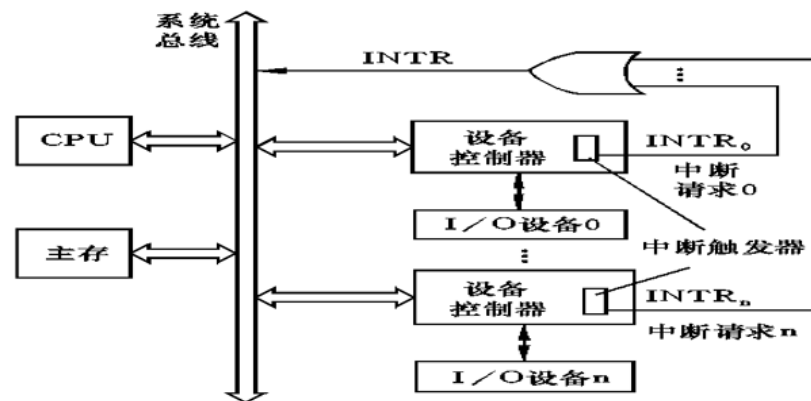
百年同濟
TONGJI UNIVERSITY

查询法

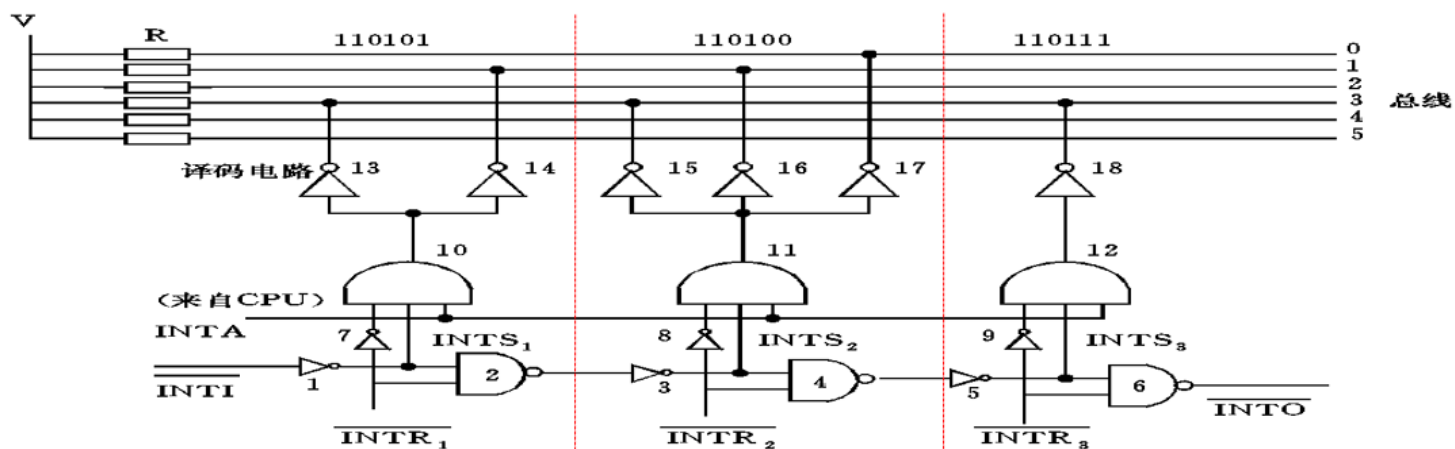


7.3 程序中中断输入输出方式

7.3.2 中断处理



(a) 中断请求逻辑



(b) 串行排队逻辑



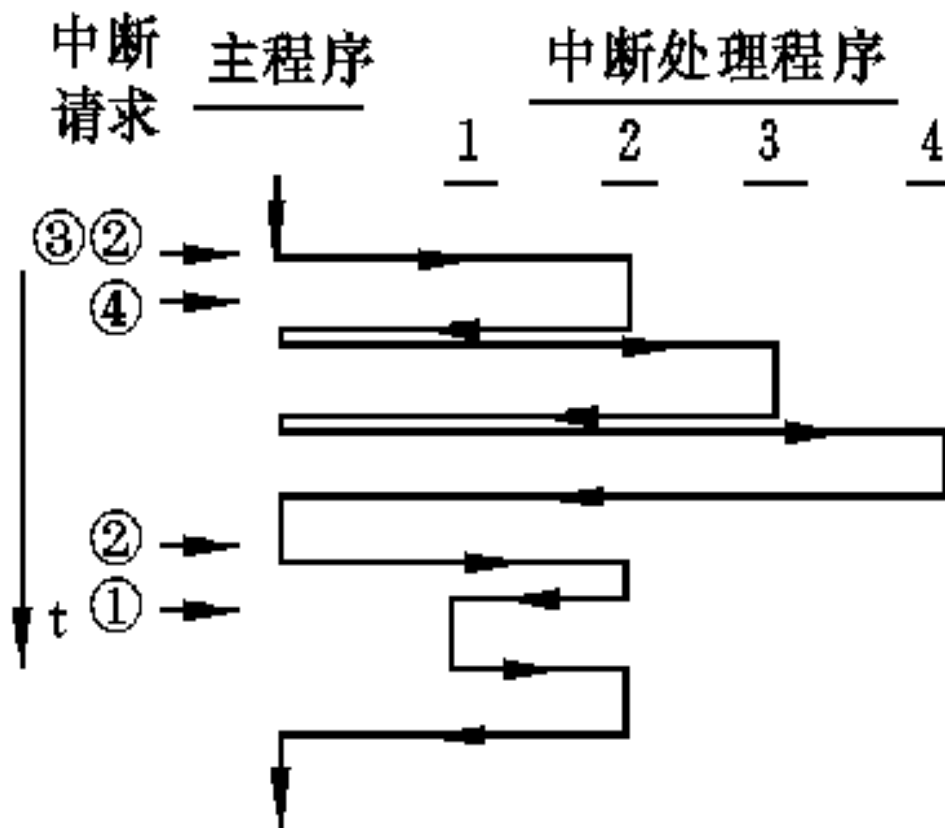
百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式

7.3.2 中斷處理

3. 多重中斷處理

4級中斷請求的優先級別由高到低為1-→2-→3-→4





百年同濟
TONGJI UNIVERSITY

7.3 程序中断输入输出方式

7.3.3 程序中断设备接口的组成和工作原理

程序中断设备接口，一般由下列电路组成：

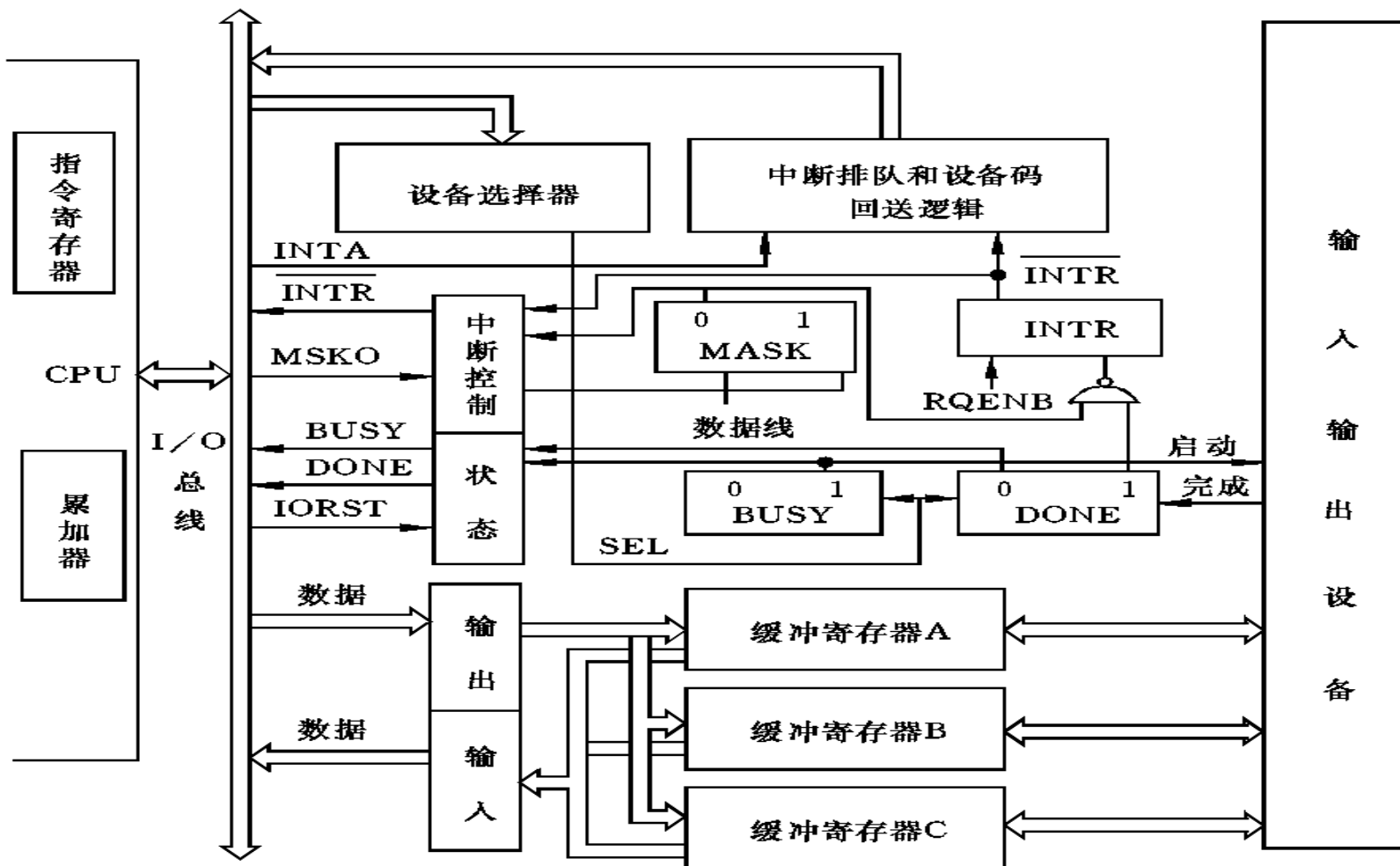
1. 设备选择器
2. 中断控制和工作状态逻辑
3. 中断排队和设备码回送逻辑
4. 数据缓冲寄存器

除上述标准部件外，各外围设备还可设置一些特殊的控制电路，以适应不同的外围设备的需要，如启停电路等。



百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式





7.3 程序中中断输入输出方式

7.3.3 程序中中断设备接口的组成和工作原理

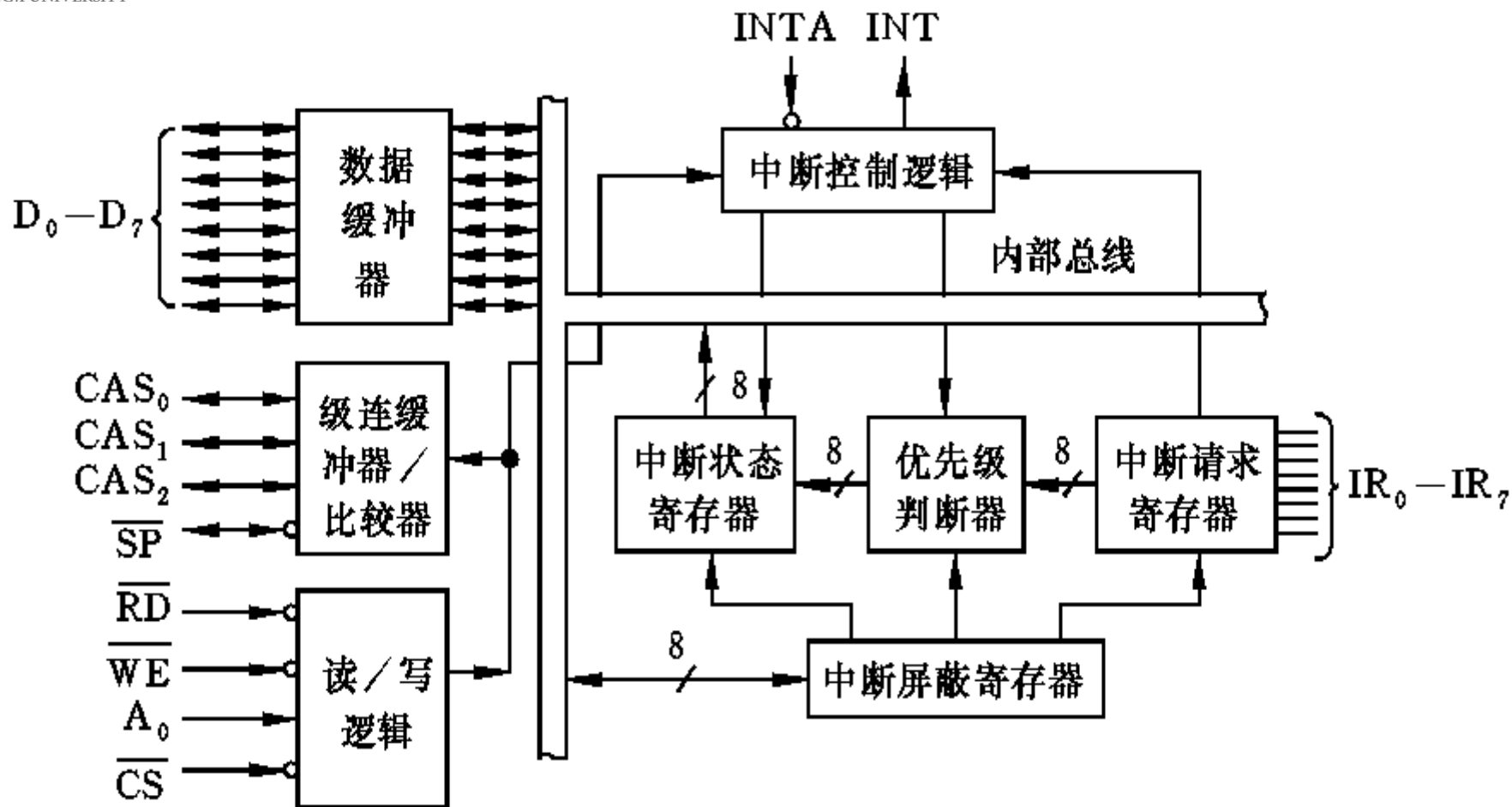
程序中中断控制逻辑已由专用集成电路芯片实现。Intel 8259A 中断控制器件的内部结构由八个部分组成：中断请求寄存器、中断状态寄存器、优先级判断器、中断屏蔽寄存器、中断控制逻辑、数据缓冲器、级联缓冲器/比较器和读/写逻辑。



百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式

7.3.3 程序中斷設備接口的組成和工作原理





百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式

7.3.4 MIPS CPU中斷處理

1. MIPS異常

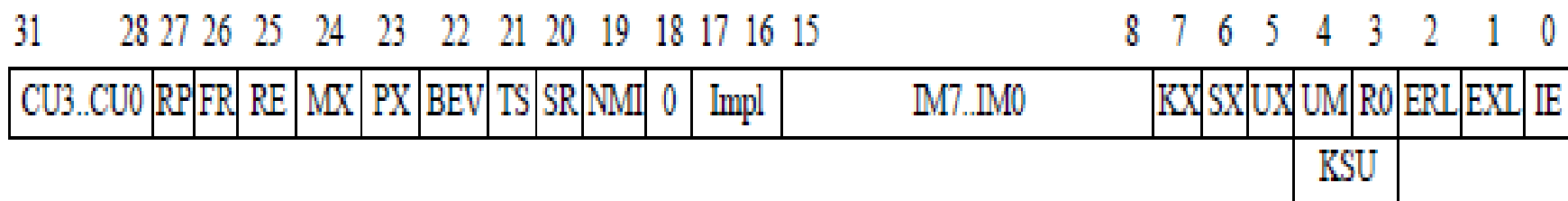
- 在MIPS中，中斷、陷阱、系統調用等任何可以中斷程序正常執行流的情況都稱之為異常。
- MIPS對異常的處理是給異常分配一些類型，然後由軟件給它們定義一些優先級，然後由同一個入口進入異常分配程序，在分配程序中根據類型及優先級確定該執行哪個對應的函數。

7.3 程序中中断输入输出方式

7.3.4 MIPS CPU中断处理

2. MIPS异常相关寄存器

MIPS CP0 status 寄存器



- 使能全局中断 (IE: Interrupt Enable) : 要想使能中断, 则全局中断位SR: IE必须置1, 开中断, 它是一个全局开关。
- 中断屏蔽位IM, 标准的MIPS CP0中status寄存器的8到15位为中断屏蔽位, 在我们的实验中将status[10:8]定为中断屏蔽位, status[8]屏蔽syscall, status[9]屏蔽break, status[10]屏蔽teq。

7.3 程序中中断输入输出方式

7.3.4 MIPS CPU中断处理

MIPS CP0 cause寄存器

31	30	29	28	27	26	25	24	23	22	21	16	15	10	9	8	7	6	2	1	0
BD	TI	CE	DC	PCI	0	IV	WP	0	IP7-2			IP1-0		0	ExcCode		0			

- 异常类型 (ExcCode: Exception Code) : 说明异常的原因。
在我们的实验中, 异常类型号01000为syscall异常, 01001为break, 01101为teq。

EPC寄存器

- 异常发生时 EPC存放当前指令地址作为返回地址。



百年同濟
TONGJI UNIVERSITY

7.3 程序中斷輸入輸出方式

7.3.4 MIPS CPU中斷處理

3. 異常的處理

產生異常時MIPS CPU所做的工作：

- ① 設置EPC，指向返回的位置。
- ② 設置Status寄存器，EXL位迫使CPU進入內核模式（高特權級）並且禁用中斷。
- ③ 設置Cause寄存器，使得軟件能看到異常原因。地址異常時，也要設置BadVAddr寄存器，存儲管理系統異常還要設置一些MMU寄存器。
- ④ CPU從異常入口點取指令執行。



7.3 程序中中断输入输出方式

7.3.4 MIPS CPU中断处理

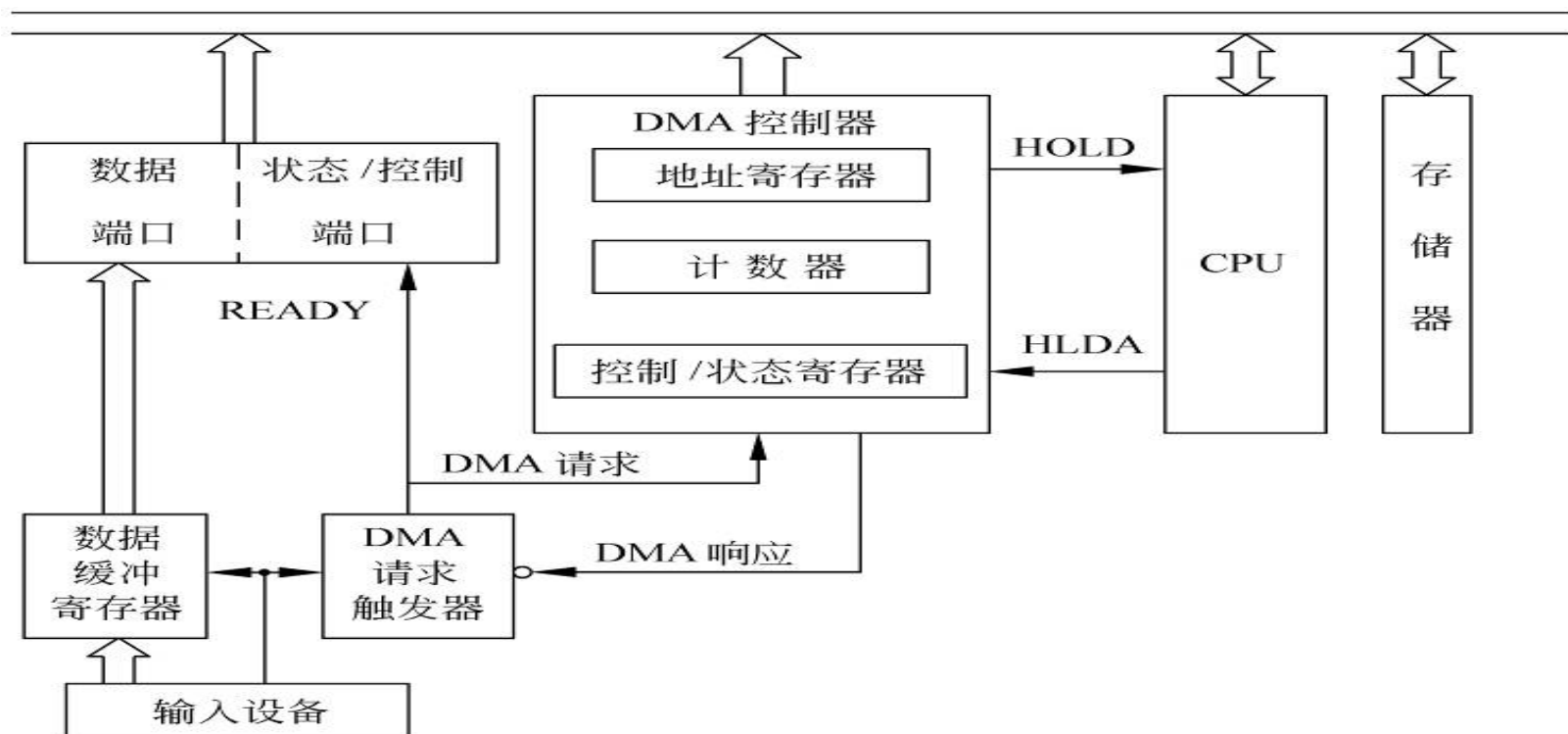
异常程序的处理步骤：

- ① **保存现场**：在异常处理例程入口，需要保护被中断的程序的现场，存储寄存器的状态，保证关键状态不被覆盖。
- ② **处理异常**：根据Cause: ExcCode确定发生了什么类型的异常，完成想要做的事情。
- ③ **准备返回**：恢复现场，修改status寄存器，设置成安全模式（内核态，禁止异常），也就是异常发生后的模式。
- ④ **从异常返回**：用指令“eret”，即清除SR: EXL位，也将控制权返回给存储在EPC中的地址。



7.4 DMA输入输出方式

- DMA是I/O设备与主存储器之间由硬件组成的直接数据通路，用于高速I/O设备与主存之间的成组数据传送。





百年同濟
TONGJI UNIVERSITY

7.4 DMA输入输出方式

DMA的特点:

- 1.主存储器与CPU的固定联系脱钩。**
- 2.DMA不必动用CPU资源。**
- 3.DMA的数据传送由硬件完成。只有预处理和后处理需要CPU处理，数据的传送过程是由DMA控制。**
- 4.DMA所需的控制信息由CPU以程序的方式送入。**
- 5.DMA与CPU同时访问内存时，通常赋予DMA以较高的优先级。**



百年同濟
TONGJI UNIVERSITY

7.4 DMA输入输出方式

DMA和中断的区别:

1. 中断的输入输出是依靠CPU执行输入输出指令来完成，而DMA靠硬件来完成。
2. 中断需要保护现场、恢复现场，而DMA则不需要。
3. 中断处理任务可以是各种各样，而DMA仅限于数据传送。
4. 中断响应一般只发生在一条指令执行结束，下一条指令尚未开始时，而DMA可以在两个存储周期之间响应。



百年同濟
TONGJI UNIVERSITY

7.4 DMA输入输出方式

7.4.1 DMA三种工作方式

1. CPU暂停方式

主机响应DMA请求后，让出总线，直到一组数据传送完毕后，DMA控制器才把总线控制权交还给CPU。

2. CPU周期窃取方式

DMA控制器与主存储器之间传送一个数据，占用(窃取)一个CPU周期，即CPU暂停工作一个周期，然后继续执行程序。

3. 交替访问内存方式

每个存储周期分成两个时间片，一个给CPU，另一个给DMA控制器。



7.4 DMA输入输出方式

7.4.2 DMA控制器组成

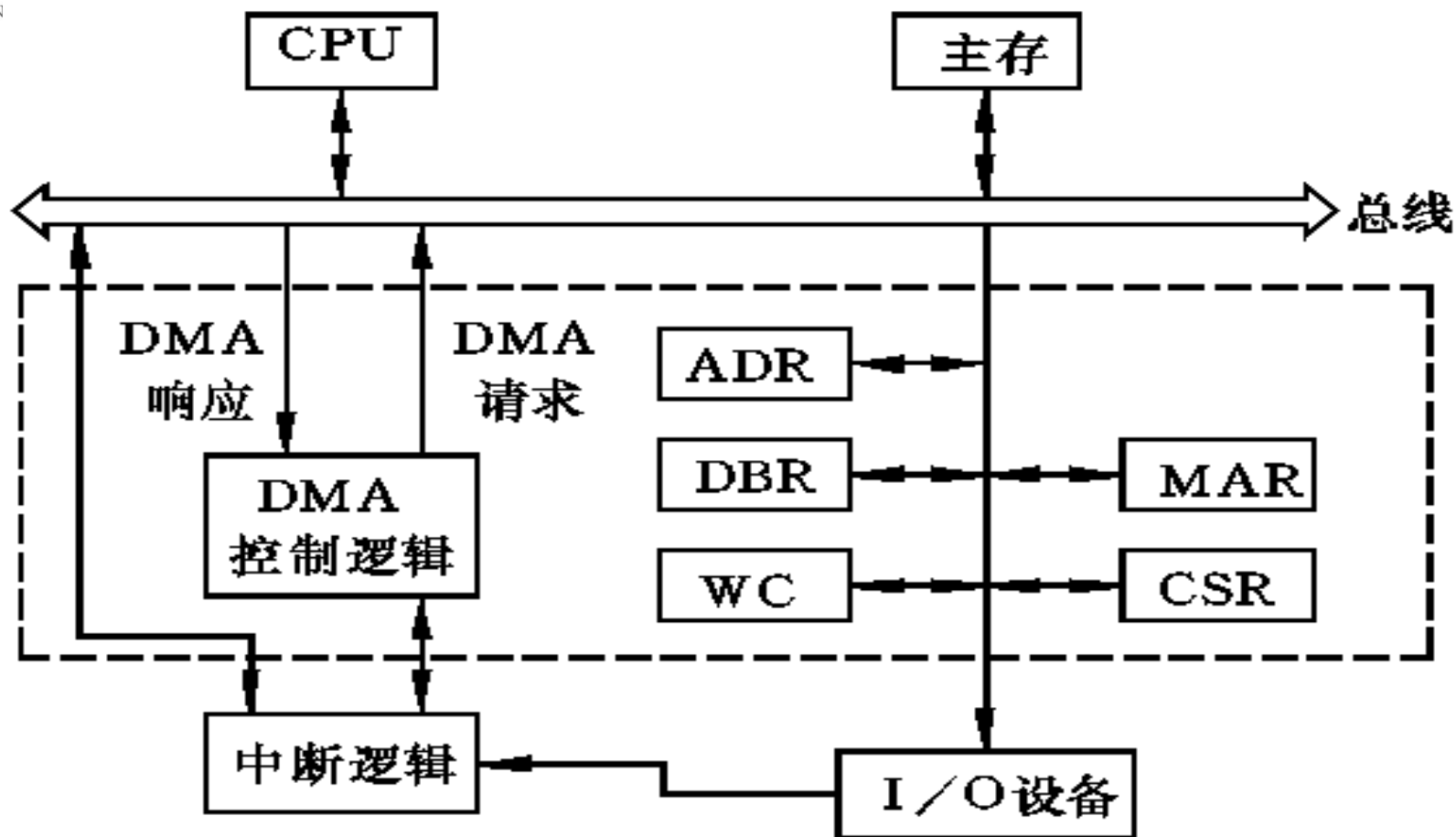
DMA控制器基本组成如图所示。它包括多个设备寄存器、中断控制和DMA控制逻辑等。



百年同济
TONGJIUN

7.4 DMA输入输出方式

7.4.2 DMA控制器组成



7.4 DMA输入输出方式

7.4.2 DMA控制器组成

1. 设备寄存器

DMA控制器中主要的寄存器有：

- (1) 主存地址寄存器(MAR)—初始值为主存缓冲区的首地址，在传送前由程序送入。
- (2) 外围设备地址寄存器(ADR)—存放I/O设备的设备码，或者表示设备信息存储区的寻址信息。
- (3) 字数计数器(WC)—对传送数据的总字数进行统计。
- (4) 控制与状态寄存器(CSR)—用来存放控制字和状态字。
- (5) 数据缓冲寄存器(DBR)—用来暂存I/O设备与主存传送的数据。

7.4 DMA输入输出方式

7.4.2 DMA控制器组成

2. 中断控制逻辑

DMA中断控制逻辑负责申请CPU对DMA进行预处理和后处理。

3. DMA控制逻辑

一般包括设备码选择电路，DMA优先排队电路，产生DMA请求的线路等，在DMA取得总线控制权后控制主存和设备之间的数据传送。

4. DMA接口连接线

DMA接口与主机和I/O设备两个方向的数据线、地址线和控制信号线以及有关收发与驱动线路。



7.4 DMA输入输出方式

7.4.3 DMA的数据传送过程

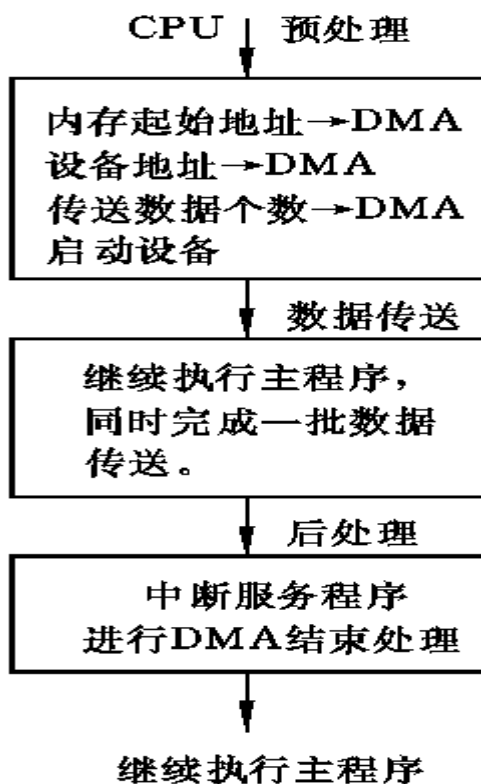
DMA 的数据传送过程可分为三个阶段：

- DMA 传送前预处理
- 数据传送
- DMA后处理

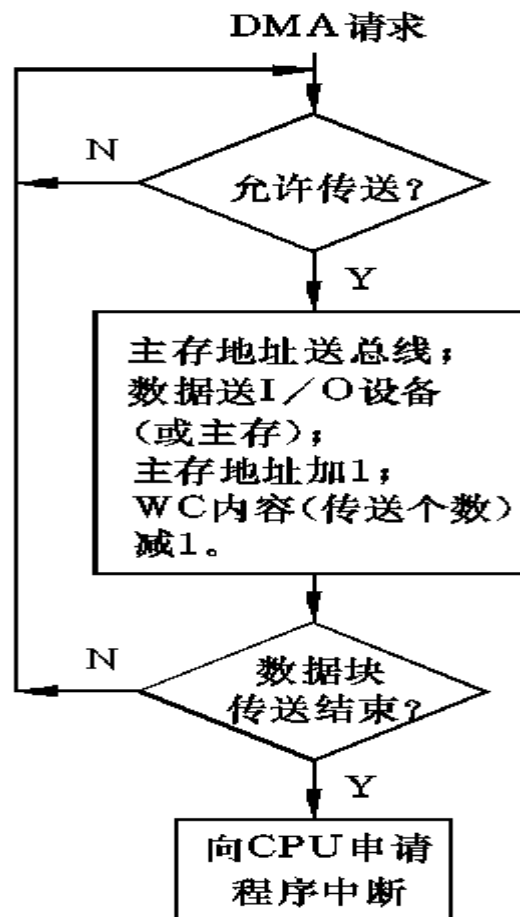
一次DMA过程的时间= DMA传送数据大小/DMA外设数据传输速率

7.4 DMA输入输出方式

7.4.3 DMA的数据传送过程



(a) 数据传送的三个阶段



(b) 第二阶段的数据传送过程

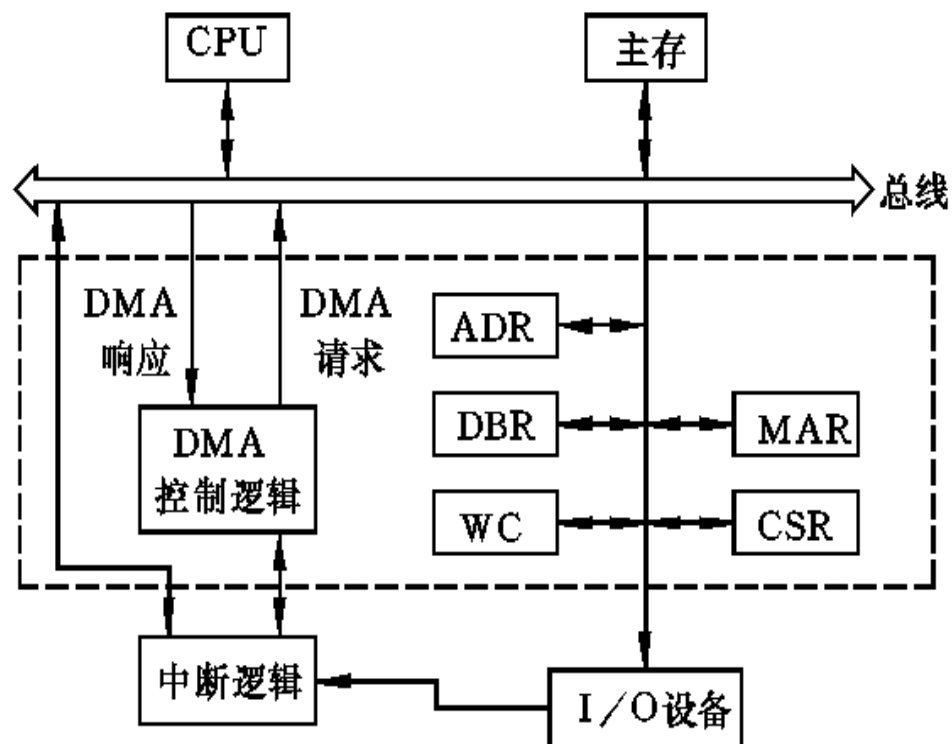


百年同济
TONGJI UNIVERSITY

7.4 DMA输入输出方式

1. DMA预处理 (初始化)

- ① 将磁盘号、道号、磁头号
和扇区号送入ADR
- ② 把传送的字节数送WC
- ③ 内存缓冲区首地址送
MAR
- ④ 启动DMA (对状态寄存
器CSR置位)



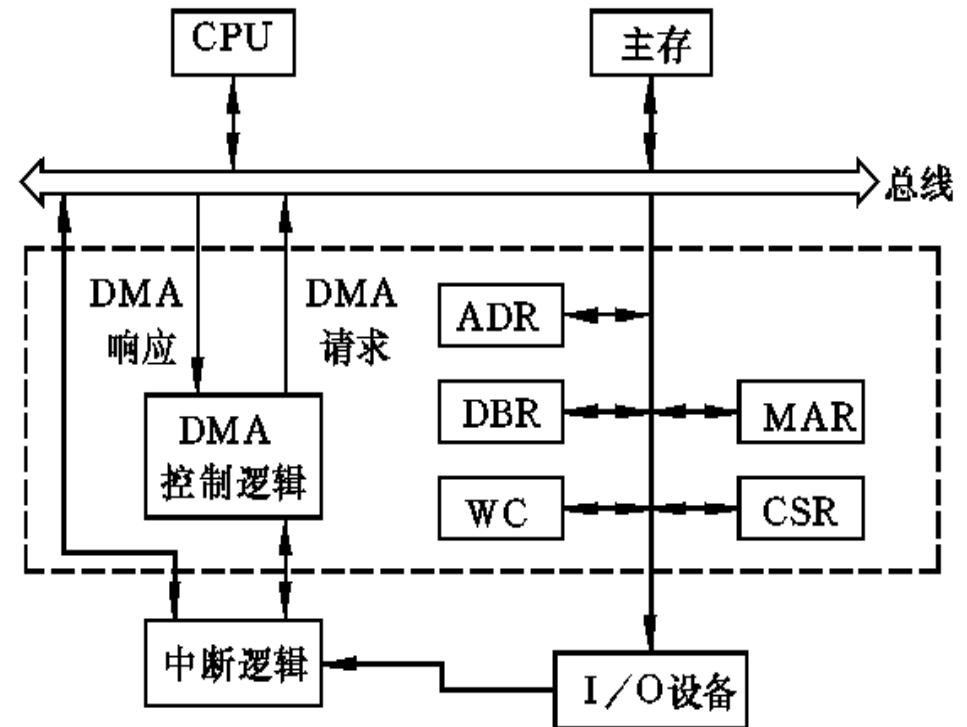


百年同济
TONGJI UNIVERSITY

7.4 DMA输入输出方式

1. DMA输入循环

- ① 从输入设备读入一个数据到DBR，向CPU提出DMA请求。
- ② CPU响应后，DBR中的数据送DB。
- ③ MAR中的地址送AB，启动主存写操作。
- ④ MAR加1（或减1），WC减1，如WC为0，则停止传送，置完成标志为1，产生中断请求，通知CPU一批数据已传完，否则回到第1步。

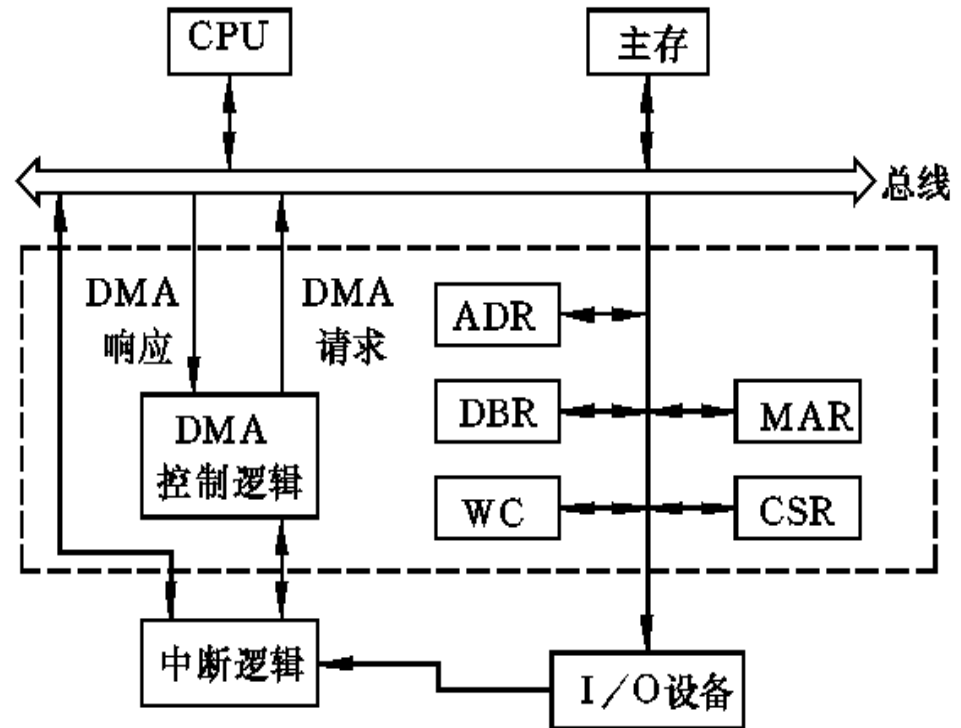




7.4 DMA输入输出方式

2. DMA输出循环

- ① 向CPU提出DMA请求，CPU响应后，将MAR中的地址送AB，启动主存读操作。
- ② 从主存读入一个数据到DBR。
- ③ DBR中的数据写入输出设备。
- ④ MAR加1（或减1），WC减1，如WC为0，则停止传送，置完成标志为1，产生中断请求，通知CPU一批数据已传完，否则回到第1步。





7.4 DMA输入输出方式

7.4.4 软盘接口逻辑电路举例

为了实现 CPU 和软盘驱动器之间的快速数据传送，在 CPU 和软盘驱动器之间需设置软盘控制器。

为方便设计，并减少设备控制器所需器件数目，半导体厂家设计了 DMA 控制器电路，Intel 8257，Intel 82285 就是 DMA 控制器电路。

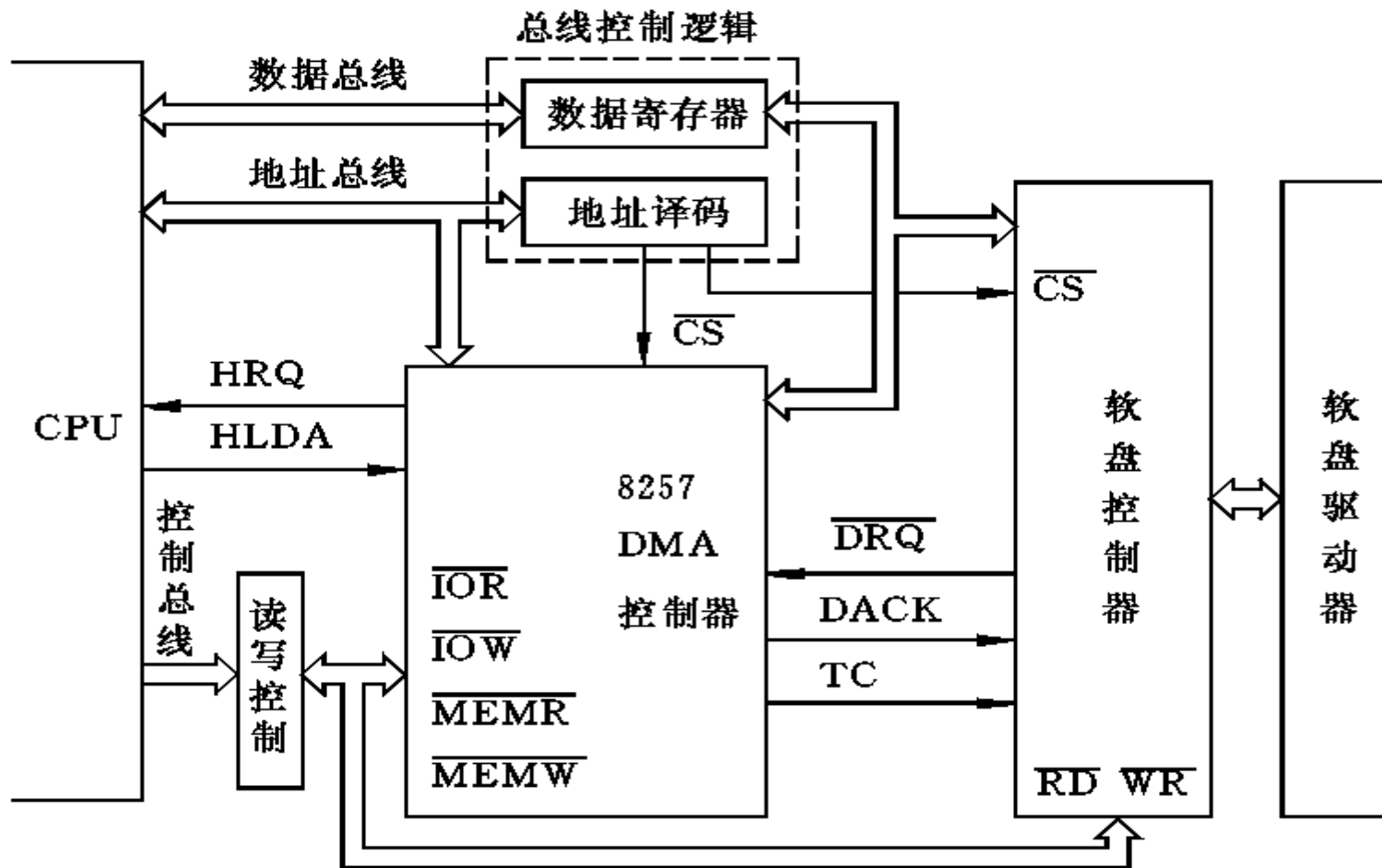
图所示的软盘控制器接口逻辑电路中采用了 8257 DMA 控制器。



百年同济
TONGJI UNIVE

7.4 DMA输入输出方式

7.4.4 软盘接口逻辑电路举例





百年同濟
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

在大、中型计算机中，外设配置多，数据传送频繁，如仍采用 DMA 方式存在下述问题：

- (1) 如果为众多外设都配置专用的 DMA 控制器，将大幅度增加硬件成本，而且要解决众多 DMA 同时访问主存的冲突，使控制复杂化。
- (2) 采用 DMA 传送方式的众多外设均直接由 CPU 管理控制，会占用更多的 CPU 时间，而且频繁的周期挪用会降低 CPU 执行程序的效率。

为避免上述弊病，在大、中型计算机系统中采用 I/O 通道方式进行数据交换。

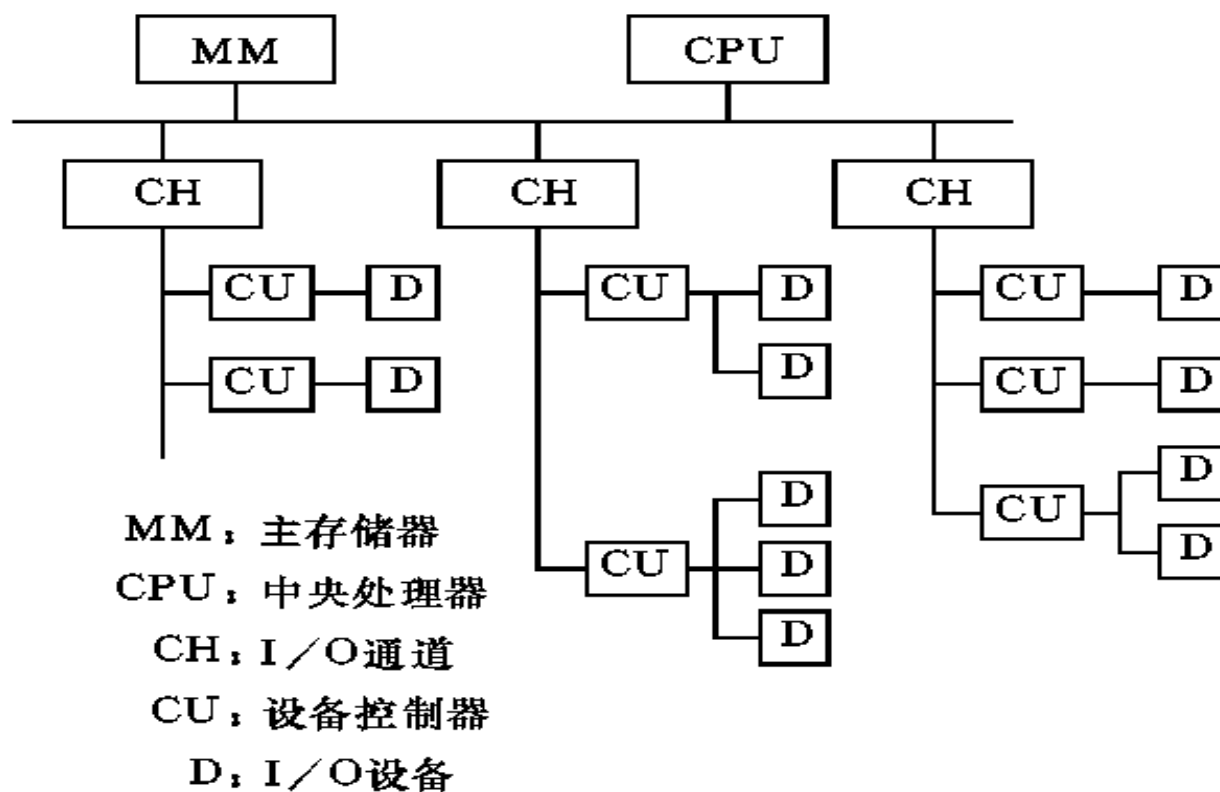


百年同济
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.1 I/O通道的结构及功能

1. I/O通道结构





百年同济
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.1 I/O通道的结构及功能

2. I/O通道功能

在 CPU 启动通道后，通道自动地去内存取出通道指令并执行指令。直到数据交换过程结束向 CPU 发出中断请求，进行通道结束处理工作。

通道除了承担 DMA 的全部功能外，还承担了设备控制器的初始化工作，包括低速外设单个字符传送的程序中断功能，因此它分担了计算机系统中全部或大部分 I/O 功能，提高了计算机系统功能分散化程度。



7.5 通道控制方式和外围处理机方式

7.5.1 I/O通道的结构及功能

一般来说，通道应有以下具体功能：

- (1) 根据 CPU 要求选择某一指定外设与系统相连，向该外设发出操作命令，并进行初始化。
- (2) 指出外设读/写信息的位置以及与外设交换信息的主存缓冲区地址。
- (3) 控制外设与主存之间的数据交换，并完成数据字的分拆与装配。
- (4) 指定数据传送结束时的操作内容，并检查外设的状态(良好或有故障)。



百年同济
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.1 I/O通道的结构及功能

3. I/O通道与DMA的区别

- ① DMA 完全借助于硬件完成数据传送，而通道则是通过一组通道命令与硬件一起完成数据传送。
- ② DMA只能用于高速设备，而通道能用于高、中、低速设备。
- ③ 一个DMA通道只能连接一台设备，而一个通道能连接多台设备。



百年同濟
TONGJI UNIVERSITY

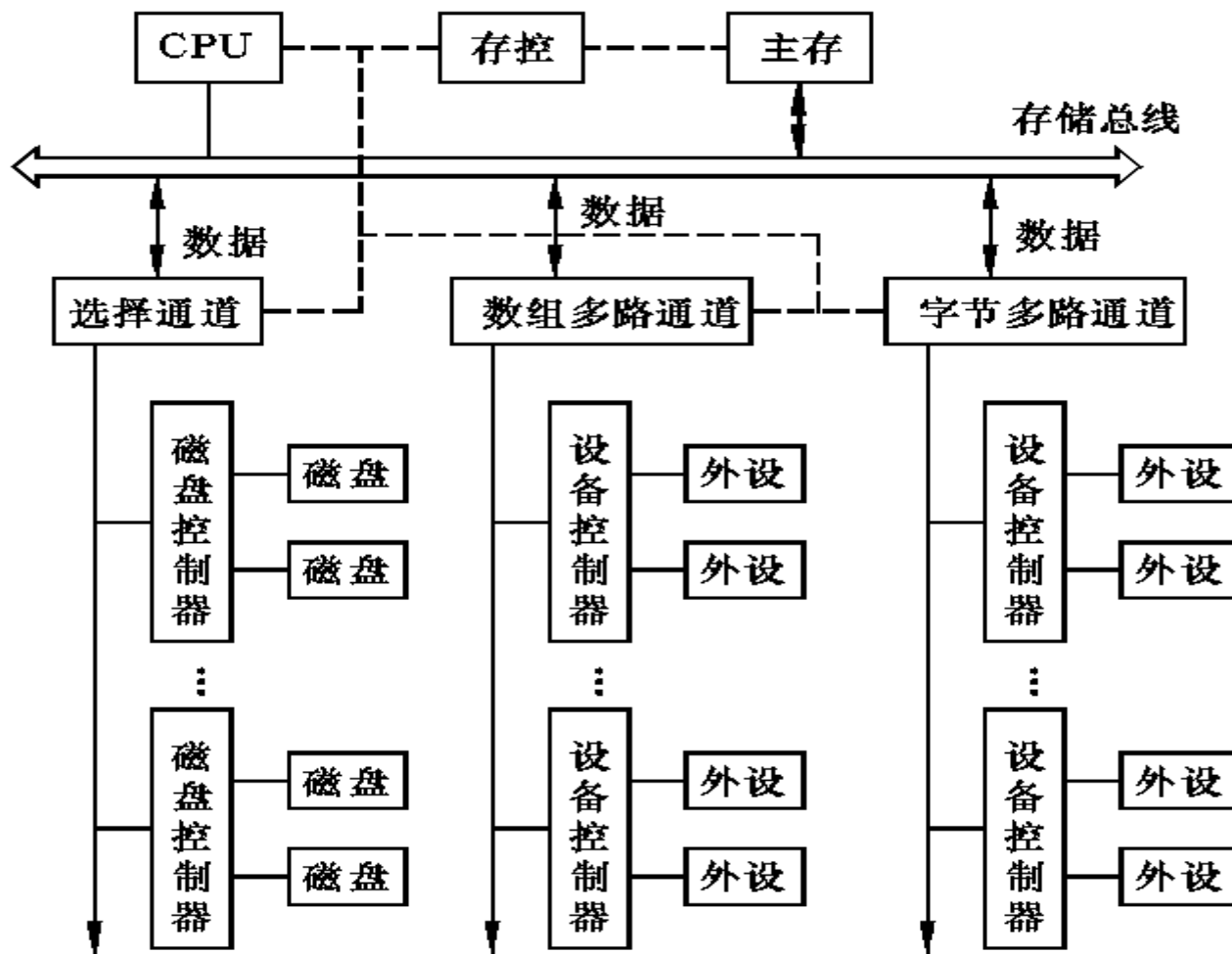
7.5 通道控制方式和外围处理机方式

7.5.2 I/O通道的种类

根据多台设备共享通道的不同情况，可将通道分为三类：字节多路通道、选择通道和数组多路通道，如图所示。

7.5 通道控制方式和外围处理机方式

7.5.2 I/O通道的种类



IBM4300系统的I/O结构



百年同济
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.2 I/O通道的种类

1. 字节多路通道

字节多路通道(multiplexor channel)是一种简单的共享通道,在时间分割的基础上,服务于多台低速和中速面向字符的外围设备。

目的: 多台外设分时共享通道

工作方式: 分时机制。

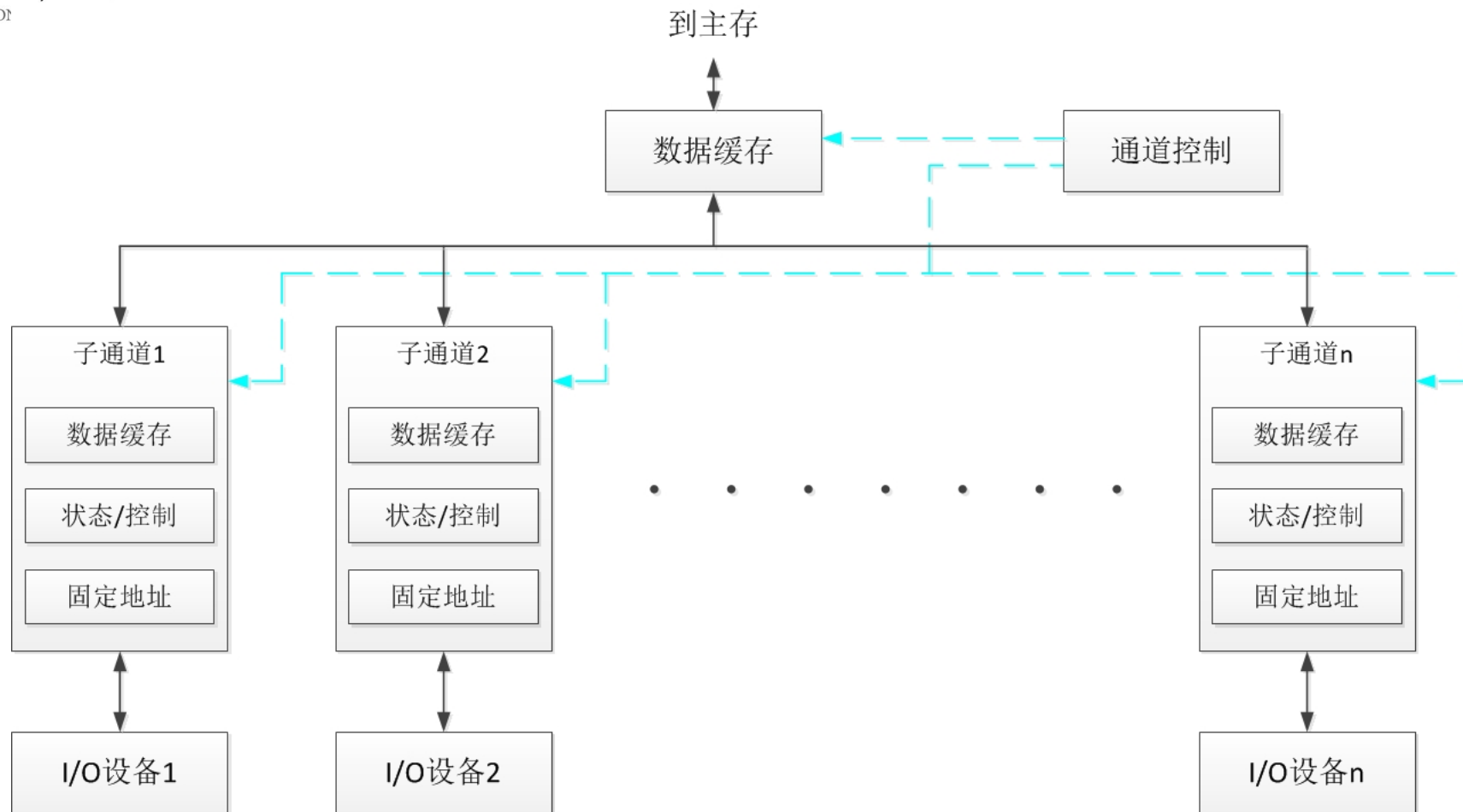
方式1: 字节交叉方式 (byte-interleave mode)

方式2: 成组方式 (block mode)



7.5 通道控制方式和外围处理机方式

7.5.2 I/O通道的种类





百年同济
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.2 I/O通道的种类

2. 选择通道

选择通道每次只能从所连接的设备中选择一台 I/O 设备的通道程序。

目的：针对高速外围设备，设置专门通道在一段时间内单独为一台外围设备服务，在不同的时间内仍可以选择其它设备。

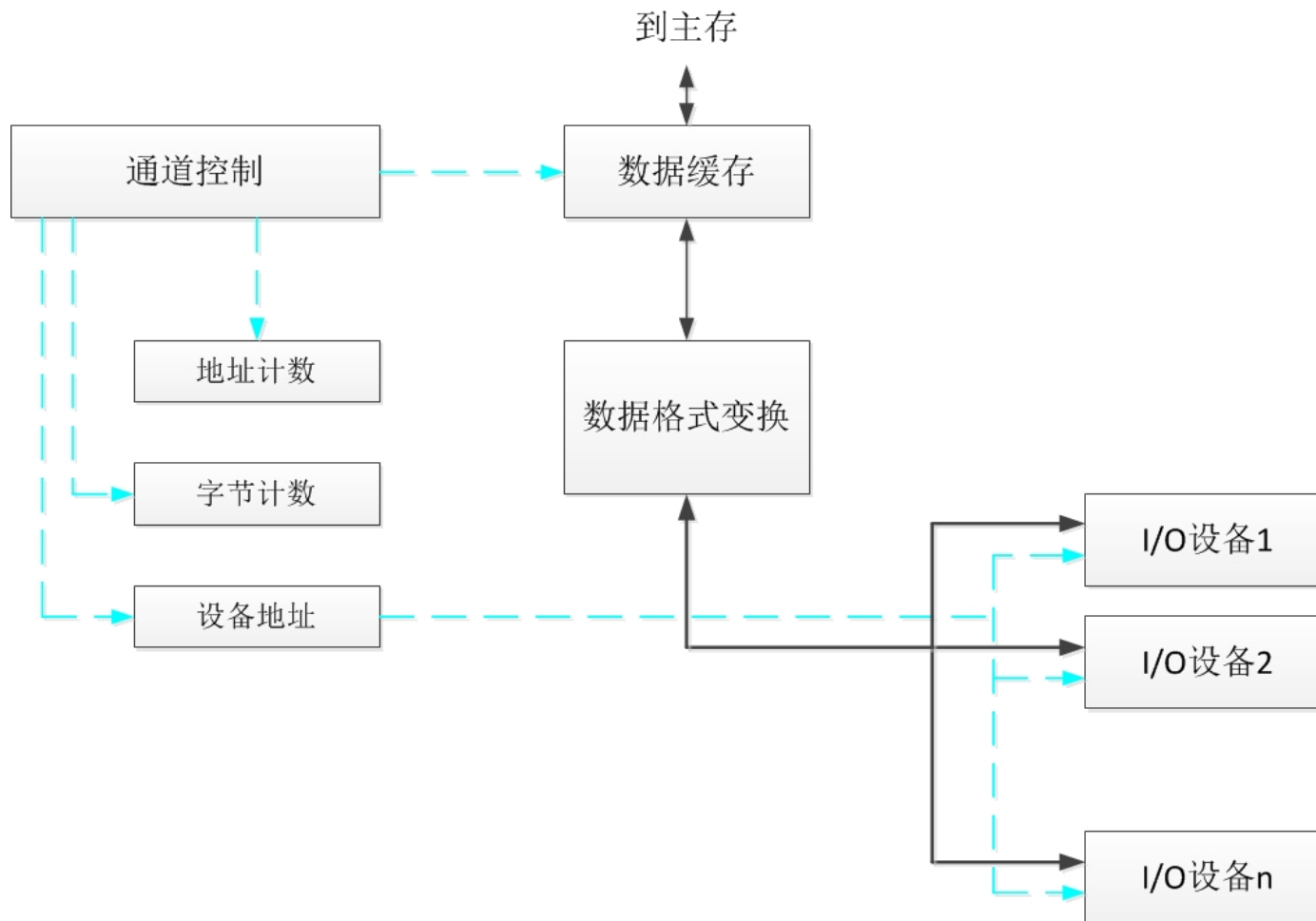
工作方式：一旦选中某设备，就一直到数据传输结束为止。



百年同济
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.2 I/O通道的种类





百年同济
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.2 I/O通道的种类

3. 数组多路通道

- 数组多路通道把字节多路通道和选择通道的特点结合起来。
- 它有多个子通道，既可以执行多路通道程序，所有子通道分时共享总通道；又可以用选择通道的方式传送数据。

目的：前两种方式的结合，并发地为多台高速设备服务；

工作方式：每次选择一个高速设备，轮流为多台I/O设备服务；

Process: (1) locate (2) sector found (3) read data

实际工作方式：通道在为一台高速设备传输数据时，有多台高速设备可以在定位或在寻找扇区。传输效率和通道的利用率最高。



百年同濟
TONGJI UNIVERSITY

7.5 通道控制方式和外围处理机方式

7.5.3 通道型I/O处理器(IOP)和外围处理机

- IOP 不是一台独立的计算机，而是计算机系统中的一个部件。
- IOP 可以和CPU并行工作，提供高速的 DMA 处理能力，实现数据的高速传送。
- 有些 IOP 还提供数据的变换、搜索和字装配/分拆能力。

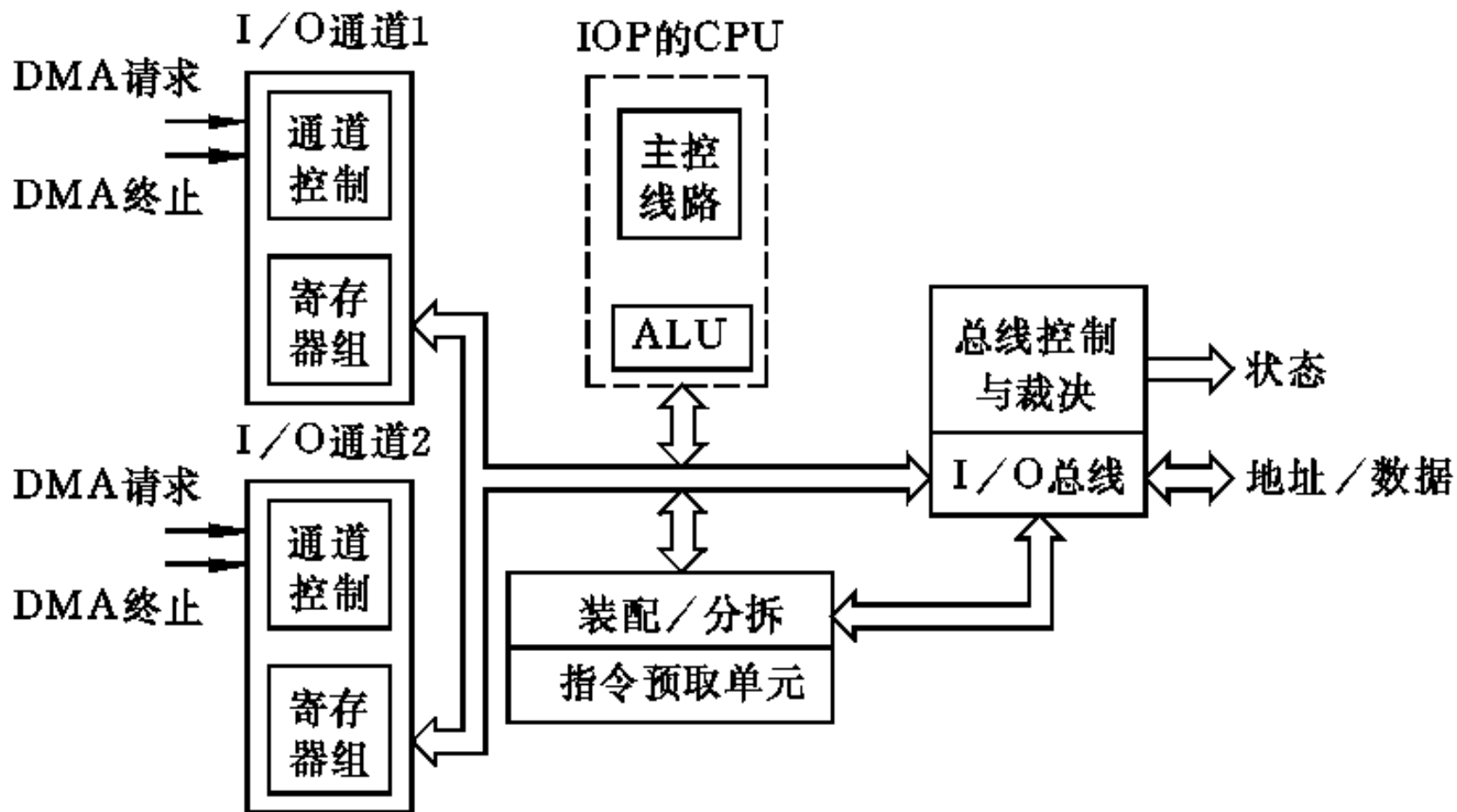
在8位和16位微机中使用的 Intel 8089 I/O 处理器就是这种通道型 I/O 处理器。它的主要功能是预置和管理外围设备以及支持通常的 DMA 操作，实现高速数据传送任务。8089IOP 的基本结构如图所示。



百年同济
TONGJIU

7.5 通道控制方式和外围处理机方式

7.5.3 通道型I/O处理器(IOP)和外围处理机





7.5 通道控制方式和外围处理机方式

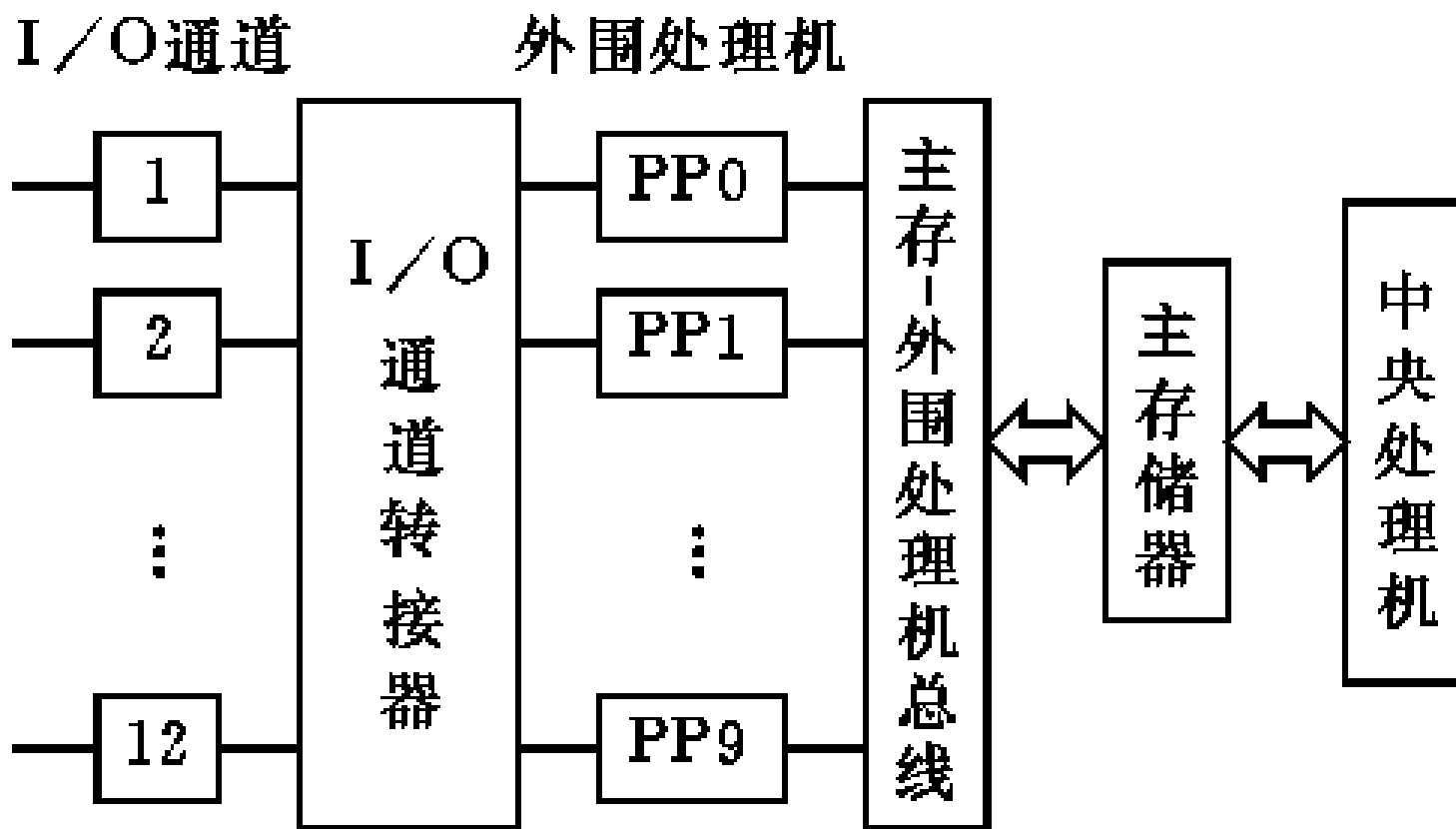
7.5.3 通道型I/O处理器(IOP)和外围处理机

外围处理机结构更接近于一般处理机，或者就是选用已有的通用机。外围机基本上是独立于主处理机工作的，应用于大型高效率的计算机系统中。

例如，CYBER170系列计算机的基本结构如图所示。

7.5 通道控制方式和外围处理机方式

7.5.3 通道型I/O处理器(IOP)和外围处理机





习题

P259 1, 2, 3, 4, 5, 7, 9, 13, 14